

УДК 004.932

А.Б. Мишин, аспирант, ФГБОУ ВО «Юго-Западный государственный университет» (Курск)
(e-mail: gskunk@yandex.ru)

ИСПОЛЬЗОВАНИЕ ПАРАЛЛЕЛЬНО-КОНВЕЙЕРНОЙ СХЕМЫ ВЫЧИСЛЕНИЙ ПРИ РАЗРАБОТКЕ АППАРАТНО-ОРИЕНТИРОВАННОГО АЛГОРИТМА ФИЛЬТРАЦИИ ИЗОБРАЖЕНИЙ

Одной из задач, требующих при практической реализации значительных аппаратных и временных ресурсов средств цифровой и вычислительной техники, является задача обработки изображений. При передаче данных изображения, начиная от регистрации, заканчивая отображением или хранением, информация неизбежно подвержена влиянию множества систематических и случайных шумов.

Рассмотрены вопросы фильтрации цифровых изображений с использованием метода фильтрации скользящим окном. Приведено сравнение матричной, конвейерной и последовательной структуры на примере обработки изображения скользящим окном. Предложены варианты организации параллельно-конвейерных схем для вычисления значения яркости пикселей.

Параллельно-конвейерная схема вычисления новых значений яркости может быть использована при разработке аппаратно-ориентированного алгоритма фильтрации изображений, что позволит сократить время вычисления новых значений яркости и, соответственно, повысить быстродействие устройства фильтрации в целом. Схема ориентирована на реализацию с использованием ПЛИС и может использоваться как для реализации цифровых фильтров, так и нейроподобных структур.

Ключевые слова: обработка изображений, фильтрация изображений.

Одной из задач, требующих при практической реализации значительных аппаратных и временных ресурсов средств цифровой и вычислительной техники, является задача обработки изображений. При передаче данных изображения, начиная от регистрации, заканчивая отображением или хранением, информация неизбежно подвержена влиянию множества систематических и случайных шумов. Высокая вычислительная сложность алгоритмов фильтрации изображений требует использования быстродействующих элементов или увеличения аппаратной сложности устройств. При этом, скорость выполнения ряда алгоритмов обработки может быть увеличена за счет параллельно-конвейерной организации вычислений с использованием нейроподобных структур [1, 2]. В качестве основ-

ных и наиболее значимых преимуществ методов такого подхода к обработке изображений можно выделить: возможность достижения более высокого показателя производительности для устройств вычислительной техники по сравнению со стандартными вычислительными средствами за счет параллелизма применяемых элементарных операций, возможность эффективного решения задач в условиях неполной априорной информации.

При реализации цифровых масочных фильтров последовательно обрабатываются блоки по 3, 9, 25 и т.д. (в зависимости от размерности фильтрующей маски) пикселей входного изображения. Задача цифровой фильтрации сводится к перемножению матриц [3]. Классическое умножение строки на столбец при фильтрации скользящим окном 3 на 3 имеет вид:

$$\begin{bmatrix} a_{11} & a_{12} & a_{13} \\ a_{21} & a_{22} & a_{23} \\ a_{31} & a_{32} & a_{33} \end{bmatrix} \times \begin{bmatrix} b_{11} & b_{12} & b_{13} \\ b_{21} & b_{22} & b_{23} \\ b_{31} & b_{32} & b_{33} \end{bmatrix} = \begin{bmatrix} a_{11}b_{11} + a_{12}b_{21} + a_{13}b_{31} & a_{11}b_{12} + a_{12}b_{22} + a_{13}b_{32} & a_{11}b_{13} + a_{12}b_{23} + a_{13}b_{33} \\ a_{21}b_{11} + a_{22}b_{21} + a_{23}b_{31} & a_{21}b_{12} + a_{22}b_{22} + a_{23}b_{32} & a_{21}b_{13} + a_{22}b_{23} + a_{23}b_{33} \\ a_{31}b_{11} + a_{32}b_{21} + a_{33}b_{31} & a_{31}b_{12} + a_{32}b_{22} + a_{33}b_{32} & a_{31}b_{13} + a_{32}b_{23} + a_{33}b_{33} \end{bmatrix} \quad (1)$$

При аппаратной реализации такого подхода имеем дополнительные вычисления, поскольку для вычисления свертки (фильтрация маской) нужно перемножить матрицы поэлементно и затем сложить результаты. Если использовать транспо-

нированную матрицу В (маска фильтра), то в результате получим необходимый результат сложением главной диагонали результирующей матрицы:

$$z = A * B, \quad (2)$$

$$\begin{bmatrix} a_{11} & a_{12} & a_{13} \\ a_{21} & a_{22} & a_{23} \\ a_{31} & a_{32} & a_{33} \end{bmatrix} \times \begin{bmatrix} b_{11} & b_{21} & b_{31} \\ b_{12} & b_{22} & b_{32} \\ b_{13} & b_{23} & b_{33} \end{bmatrix} = \begin{bmatrix} a_{11}b_{11} + a_{12}b_{12} + a_{13}b_{13} & a_{21}b_{21} + a_{22}b_{22} + a_{23}b_{23} & a_{31}b_{31} + a_{32}b_{32} + a_{33}b_{33} \\ \dots & \dots & \dots \end{bmatrix}, \quad (3)$$

$$z = a_{11}b_{11} + a_{12}b_{12} + a_{13}b_{13} + a_{21}b_{21} + a_{22}b_{22} + a_{23}b_{23} + a_{31}b_{31} + a_{32}b_{32} + a_{33}b_{33}, \quad (4)$$

где * - операция свертки.

Были рассмотрены возможные варианты аппаратной реализации алгоритмов перемножения матрицы 3 на 3 на процессорных элементах (ПЭ).

Для вычисления одного элемента результирующей матрицы требуется три раза перемножить элементы матриц и просуммировать полученные произведения, следовательно, для получения одного элемента необходимо 6 шагов, а для вычисления всей матрицы, состоящей из

9 элементов, должно быть выполнено $6 \cdot 9 = 64$ шага.

Был рассмотрен вариант конвейерной обработки с двунаправленным линейным процессорным массивом.

Выходное значение определяется как:

$$Y_{\text{ex}} = Y_{\text{ex}} + A_{\text{ex}} B_{\text{ex}}, \quad (5)$$

$$B_{\text{ex}} = B_{\text{вх}}. \quad (6)$$

При использовании схемы, представленной на рисунке 1, для перемножения матриц требуется 5 процессорных элементов.

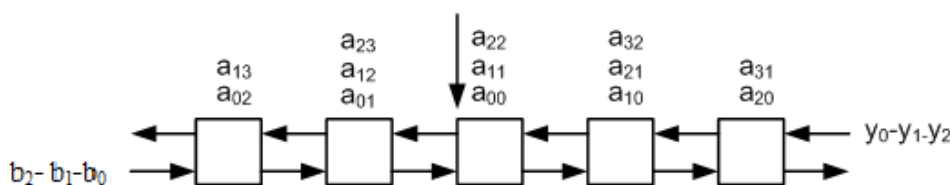


Рис. 1. Конвейерная обработка для умножения матриц 3 на 3

Следует учесть, что в процессорном элементе предполагается отсутствие схемы памяти, а поступающее значение «у» представляет собой накопитель суммы, поэтому первые 3 шага необходимы для загрузки элементов $B_{\text{вх}}$ и $Y_{\text{вх}}$. Тогда для вычисления полной матрицы необходимо выполнить 63 шага.

Было рассмотрено вычисление квадратных матриц размерностью 3. В результате перемножения матрицы размерность результирующей матрицы будет

равна 3. Тогда, число ПЭ должно быть равно 9-ти. Следовательно, для вычисления одного элемента результирующей матрицы понадобится 9 тактов, вычисление всей матрицы занимает 18 тактов. Было выполнено моделирование различных типов структур (матричной, конвейерной и последовательной) на примере обработки изображения маской 3x3. Результат моделирования представлен на рисунке 2.

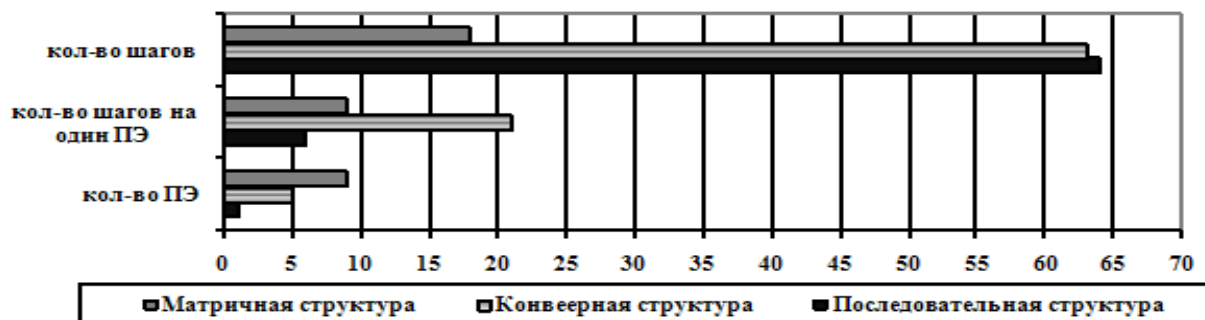


Рис. 2. Сравнительный анализ матричной, конвейерной и последовательной структуры на примере обработки изображения маской 3x3

Таким образом, схема цифрового фильтра с использованием параллельно-конвейерной структуры представлена на рисунке 3.

Процесс работы конвейерно-параллельной структуры для маски 3x3, отображающий перемещение данных, представлен ниже.

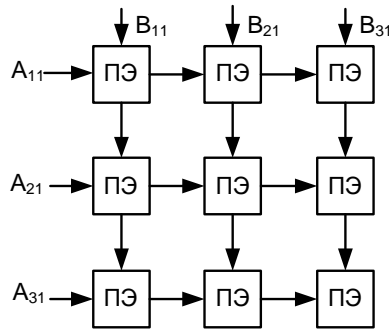


Рис. 3. Параллельно-конвейерная структура цифрового фильтра для маски m=3

				B13	B23	B33
Шаг 1				B12	B22	B32
	A13	A12		B11A11		
A23	A22	A21				
A33	A32	A31				
						B33
Шаг 2				B13	B22	B32
		A13		B12A12	B21A11	
A23	A22	A21		B11A21		
A33	A32	A31				
						B33
Шаг 3					B23	B32
		A23		B13A13	B22A12	B31A11
A23	A22	A21		B12A22	B21A21	
A33	A32	A31		B11A31		
						B33
Шаг 4					B23A13	B32A12
		A23		B13A23	B22A22	B31A21
A23	A22	A21		B12A32	B21A31	
A33	A32	A31				
						B33
Шаг 5						B33A13
		A23			B23A23	B32A22
A23	A22	A21		B13A33	B22A32	B31A31
A33	A32	A31				
						B33
Шаг 6						
		A23				B33A23
A23	A22	A21			B23A33	B32A32
A33	A32	A31				
						B33
Шаг 7						
		A23				
A23	A22	A21				B33A33
A33	A32	A31				

Таким образом, параллельно-конвейерная схема вычисления новых значений яркости может быть использована при разработке аппаратно-ориентированного алгоритма фильтрации изображений, что позволит сократить время вычисления новых значений яркости и, соответственно, повысить быстродействие устройства фильтрации в целом. Схема ориентирована на реализацию с использованием ПЛИС и может использоваться как для реализации цифровых фильтров, так и нейроподобных структур [4].

Аппаратную реализацию фильтра представляется целесообразным проектировать с использованием схем на логических элементах и сумматорах. При аппаратной реализации таких структур с отдельным вычислительным элементом на каждый пиксель изображения сложность устройства довольно велика. Для уменьшения количества элементов при аппаратной реализации следует рассмотреть

алгоритмы построчной обработки матрицы изображения.

Список литературы

1. Мишин А.Б., Ткачев П.Ю. Выбор структуры нейросетевого фильтра для обработки цифровых изображений // Известия Юго-Западного государственного университета. – 2013. – №3 (48). Ч.1. – С.14-18.

2. Marguerat, C. Artificial neural network algorithms on a parallel DSP system. In: Transputers'94 Advanced research and industrial applications // Proc. Of the International conf 21-23 Sept. 1994. IOS Press 1994. – P. 278-287.

3. Rafael C. Gonzalez, Richard E. Woods, Digital Image Processing (3rd Edition) // Pearson. – 2007. – 976 p.

4. Amos r. o., Jagath c. r. FPGA implementations of neural networks // Springer. – 2006. – 360 p.

Получено 17.03.16

A.B. Mishin, Postgraduate, Southwest State University (Kursk)
(e-mail: gskunk@yandex.ru)

THE USE OF PARALLEL AND PIPELINE DIAGRAM COMPUTATION WHEN DEVELOPING HARDWARE ORIENTED FILTERING IMAGE ALGORITHM

Image processing task is the task which requires considerable practical implementation of digital and ADP equipment hardware and timing resources. When transferring data image information is inevitably subjected to systematic and accidental noise influence. It can happen during registration process and can finish with information display or information storage.

Digital image filtering with the use of filtering method by sliding window is described in this paper. Array, pipeline and sequential structure comparing on the example of image processing by sliding window is given. Parallel and pipeline diagrams for pixels brightness computation are offered.

Parallel and pipeline pixels brightness computation diagram can be used when developing hardware oriented filtering image algorithm. It can allow to reduce computation time of new brightness values and, respectively, to increase high-speed filtering device performance in general. The diagram is oriented on implementation with FPGA use and can be used for digital filter implementation and also for neurosimilar structures. **Key words:** image processing, image filtering.

References

1. Mishin A.B., Tkachev P.Ju. Vybor struktury nejrosetevogo fil'tra dlja obrabotki cifrovyh izobrazhenij // Izvestija Jugo-Zapadnogo gosudarstvennogo universiteta. – 2013. – №3 (48). Ch.1. – S.14-18.

2. Marguerat, C. Artificial neural network algorithms on a parallel DSP system. In: Transputers'94 Advanced research and

industrial applications // Proc. Of the International conf 21-23 Sept. 1994. IOS Press 1994. – P. 278-287.

3. Rafael C. Gonzalez, Richard E. Woods, Digital Image Processing (3rd Edition) // Pearson. – 2007. – 976 p.

4. Amos r. o., Jagath c. r. FPGA implementations of neural networks // Springer. – 2006. – 360 p.