

УДК 681.391

<https://doi.org/10.21869/2223-1560-2024-28-2-134-147>

Коррекция ошибок в ВЗУ ЭВМ с использованием STAIRCASE-кодов

С.И. Егоров¹ ✉, Ю.С. Киряев¹, Е.И. Локтионов¹, В.С. Титов¹

¹ Юго-Западный государственный университет
ул. 50 лет Октября, д. 94, г. Курск 305040, Российская Федерация

✉ e-mail: sie58@mail.ru

Резюме

Целью исследования является применение недвоичных staircase-кодов для коррекции ошибок, возникающих в каналах чтения внешних запоминающих устройств (ВЗУ) ЭВМ.

Методы. Декодирование staircase-кодов реализуется путем декодирования слов компонентных кодов Рида-Соломона, расположенных в паре соседних блоков, в окне декодирования. Декодирование слов компонентных кодов в окне выполняется параллельно, что уменьшает задержку staircase-декодера. Для решения ключевого уравнения при декодировании слов кода Рида-Соломона предлагается использовать алгоритм ePIMA (Enhanced Parallel Inversionless B-M Algorithm).

Результаты. В результате исследования были выбраны параметры staircase-декодера, оптимизирующие его работу. Эффективность staircase-кодов в каналах чтения ВЗУ ЭВМ исследовалась с помощью компьютерного моделирования. В качестве показателя эффективности использовалась доля блоков с неисправимыми ошибками. Для учета группирования ошибок, характерного для дисковых накопителей ВЗУ, в качестве модели канала использовался двоичный симметричный канал с памятью (ДСКП), который описывался модифицированной моделью Беннета-Фройлиха. Параметр геометрического распределения g этой модели принимался равным 0,2, 0,5 и 0,9. Исследовался staircase-код с компонентными кодами Рида-Соломона (224, 210, 15), определенными над полем $GF(2^8)$. При этом скорость этого staircase-кода равна $R = 0,87$, что соответствует скорости произведения кодов Рида-Соломона, используемого в оптических дисках DVD.

Заключение В представленной работе предлагается для коррекции ошибок в ВЗУ ЭВМ с секторной организацией использовать staircase-коды с компонентными кодами Рида-Соломона. Рассмотрено декодирование этих кодов с использованием алгоритма ePIMA. Результаты исследования показали более высокую эффективность staircase-кодов в каналах с группированием ошибок по сравнению с произведением кодов Рида-Соломона с такой же избыточностью.

Ключевые слова: коррекция ошибок; внешние запоминающие устройства; staircase-коды; декодирование; имитационное моделирование; коды Рида-Соломона

Конфликт интересов: Авторы декларируют отсутствие явных и потенциальных конфликтов интересов, связанных с публикацией настоящей статьи.

Для цитирования: Коррекция ошибок в ВЗУ ЭВМ с использованием STAIRCASE-кодов / С.И. Егоров, Ю.С. Киряев, Е.И. Локтионов., В.С. Титов // Известия Юго-Западного государственного университета. 2024. Т. 28, №2. С. 134-147. <https://doi.org/10.21869/2223-1560-2024-28-2-134-147>.

Поступила в редакцию 12.01.2024

Подписана в печать 20.03.2024

Опубликована 25.06.2024

© Егоров С.И., Киряев Ю.С., Локтионов Е.И., Титов В.С., 2024

Error correction in the computer storage using staircase codes

Sergey I. Egorov ¹ ✉, Yuriy S. Kiryaev ¹, Evgeniy I. Loktionov ¹, Vitaliy S. Titov ¹

¹ Southwest State University

50 Let Oktyabrya str. 94, Kursk 305040, Russian Federation

✉ e-mail: sie58@mail.ru

Abstract

Purpose of research is to use non-binary staircase codes to correct errors that occur in the reading channels of external storage devices (ESD) of a computer.

Methods. Decoding of staircase codes is implemented by decoding words of component Reed-Solomon codes located in a pair of adjacent blocks in the decoding window. After decoding all the words of component codes, the data blocks in the window are shifted. Decoding of component code words in a window is performed in parallel, which reduces the delay of the staircase decoder. The procedure for decoding component Reed-Solomon codes involves the sequential execution of the following steps: 1) the syndrome polynomial is calculated; 2) polynomials of locators and error values are calculated (the key equation is solved); 3) the roots of the polynomial of error locators are sought; 4) error values are calculated; 5) erroneous symbols are corrected. To solve the key equation (step 2), it is proposed to use the ePIBMA (Enhanced Parallel Inversionless B-M Algorithm) algorithm.

Results. As a result of the study using computer simulation, the parameters of the staircase decoder were selected to optimize its operation: the number of half-iterations is 3; the decoding window size is 8 blocks; decoding delay is 6 blocks. For these parameters, the correction ability of the staircase decoder is close to maximum, with moderate complexity and latency. The effectiveness of staircase codes in the reading channels of the computer's ESD was studied using computer simulation. The percentage of blocks with uncorrectable errors was used as an indicator of efficiency. To take into account the grouping of errors symbols of ESD disk drives, a binary symmetric channel with memory (BSMC), which was described by a modified Bennett-Froelich model, was used as a channel model. The geometric distribution parameter g of this model was taken equal to 0.2, 0.5 and 0.9. A staircase code with component Reed-Solomon codes (224, 210, 15) defined over the GF(28) field was studied. Moreover, the speed of this staircase code is $R = 0.87$, which corresponds to the speed of the product of Reed-Solomon codes used in DVD optical discs. It is shown that when using code constructions with the same speed, the ratio of blocks with uncorrectable errors is smaller in the staircase code compared to the product of Reed-Solomon codes and that with increasing average error packet length this ratio decreases.

Conclusion. In the presented paper, it is proposed to use staircase codes with component Reed-Solomon codes to correct errors in the ESD of a computer with a sector organization. Decoding of these codes using the ePIBMA algorithm is considered. Using simulation, the parameters of the staircase code decoder were selected. The efficiency of error correction in channels with error grouping has been studied. The results of the study showed higher efficiency of staircase codes in channels with error grouping compared to a product of Reed-Solomon codes with the same redundancy.

Keywords: error correction; external storage devices; staircase-codes; decoding; simulation; Reed-Solomon codes

Conflict of interest. The authors declare the absence of obvious and potential conflicts of interest related to the publication of this article.

For citation: Egorov S. I., Kiryaev Y. S., Loktionov I. E., Titov V. S. Error correction in the computer storage using staircase codes. *Izvestiya Yugo-Zapadnogo gosudarstvennogo universiteta = Proceedings of the Southwest State University*. 2024; 28(2): 134-147 (In Russ.). <https://doi.org/10.21869/2223-1560-2024-28-2-134-147>.

Received 12.01.2024

Accepted 20.03.2024

Published 25.06.2024

Введение

Важным компонентом ЭВМ является внешнее запоминающее устройство (ВЗУ). В настоящее время в ЭВМ в основном используются ВЗУ с прямым доступом. Секторная организация данных такого ВЗУ обеспечивает возможность чтения данных с минимальной задержкой. Примерами ВЗУ с прямым доступом являются накопители на магнитных и оптических дисках, а также энергонезависимая флеш-память.

Хранение информации на современных носителях с высокой плотностью записи требует для обеспечения высокой надежности применения помехоустойчивого кодирования. Основной причиной ошибок чтения секторов ВЗУ являются дефекты носителя, обуславливающие пакетный характер ошибок [1]. Группирующиеся ошибки эффективно исправляются помехоустойчивыми кодами Рида-Соломона и основанными на них кодовыми конструкциями [2-4].

В частности, для коррекции ошибок в оптических дисках DVD используется произведение кодов Рида-Соломона [2,3], для коррекции ошибок в оптических дисках BD используется пикет-код [4], представляющий собой совокупность перемеженных слов кодов Рида-Соломона.

В данной работе рассматривается применение для коррекции ошибок в последовательности секторов данных недвоичных staircase-кодов [5-10], ис-

пользующих в качестве компонентных кодов коды Рида-Соломона.

Материалы и методы

Staircase-коды или «лестничные коды» получили своё название благодаря визуализации данной кодовой конструкции, так как последовательность ее блоков удобно изображать в виде лестницы (лестница на английском языке - staircase) (рис. 1). При этом последовательности символов в строке одного блока и столбце следующего (повернутого) блока являются кодовыми словами компонентного кода. Все горизонтальные и вертикальные последовательности символов в любой паре соседних блоков в «лестнице» являются кодовыми словами.

Размерность m квадратного блока B_i в staircase-коде равна половине длины компонентного кода n (см. рис. 1).

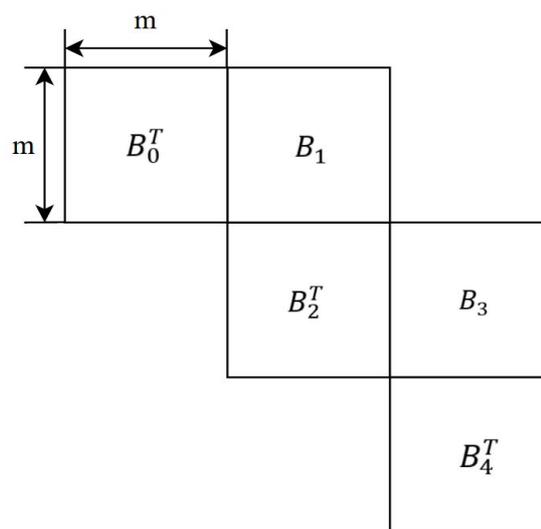


Рис. 1. Фрагмент staircase кода

Fig. 1. Staircase-code fragment

Характеристики staircase-кодов определяются параметрами компонентных кодов. Используемые в качестве двоичных компонентных кодов коды Рида-Соломона имеют следующие параметры [11]:

n – длина кодового слова, $n = 2m$;

k – количество информационных символов в слове;

r – скорость кода, $r = k/n$;

d – минимальное кодовое расстояние кода;

t – максимальное число гарантированно исправляемых ошибок в кодовом слове, $t = \lfloor (d-1)/2 \rfloor$;

q – порядок конечного поля Галуа $GF(q)$, над которым определен код.

Тогда размер блока данных в битах N равен:

$$N = qm^2 = qn^2 / 4,$$

количество информационных бит в блоке данных равно:

$$\begin{aligned} K &= qm(m - (n - k)) = \\ &= q(n/2)(n/2 - n + k) = \\ &= qn(k - n/2) / 2 \end{aligned}$$

и скорость staircase-кода определяется следующим выражением:

$$R = (2k / n - 1) = 2r - 1.$$

Реализации кодеров и декодеров staircase-кодов с компонентными двоичными БЧХ-кодами рассмотрены в [12, 13].

Ниже мы рассмотрим реализацию декодера staircase-кодов с компонентными кодами Рида-Соломона.

При наличии жестких ограничений на потребляемую мощность и задержку

декодера используют декодирование с жесткими решениями.

Декодирование staircase-кодов реализуется путем декодирования слов компонентных РС-кодов, расположенных в паре соседних блоков, в окне декодирования. После декодирования всех слов компонентных кодов блоки данные в окне сдвигаются. Псевдокод процедуры декодирования в окне представлен ниже.

1. Чтение блока из окна
2. Запись блока в окно
3. $j = 1$
4. Декодирование компонентных кодов Рида-Соломона
5. $j = j + 1$
6. Если $j < hit_num$, переход к п. 4, иначе Конец

Окно декодирования реализуется с помощью циклического буфера, в котором хранятся блоки данных. Сначала из окна читается блок данных с исправленными ошибками, затем на его место записывается блок данных, принятых из канала. После чего над словами компонентных кодов из блоков данных, хранящихся в окне, выполняется заданное число полуитераций декодирования (hit_num).

Для декодирования компонентных кодов в окне возможны следующие три расписания:

– декодирование кодовых слов, извлекаемых из блоков по цепочке, последовательно, начиная с вновь поступившего блока;

– декодирование кодовых слов, извлекаемых из блоков по цепочке, по-

следовательно, начиная с блока, чья обработка завершается;

– декодирование всех доступных кодовых слов в окне параллельно, на одной полуитерации – всех горизонтальных, на другой – всех вертикальных.

Для реализации декодирования Staircase-кодов с меньшей задержкой целесообразно использовать в окне параллельное расписание.

Пример окна, в котором происходит декодирование, приведен на рис. 2.

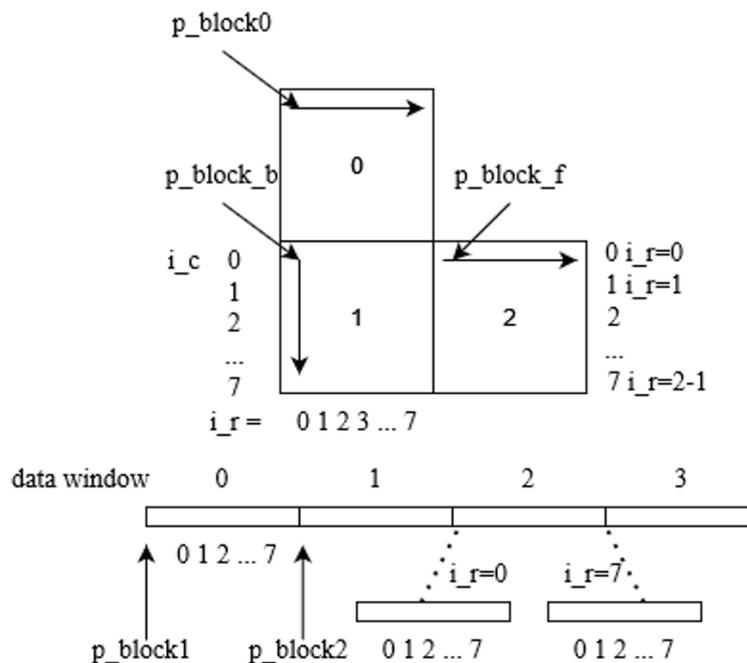


Рис. 2. Пример окна декодирования

Fig. 2. Example of decoding windows

Процедура декодирования компонентных кодов предполагает выполнение следующих шагов:

1. Вычисляется полином синдрома $S(x)$ для принятого слова $r(x)$.
2. Вычисляются полиномы локаторов и значений ошибок $\Lambda(x)$ и $B(x)$ ($\Omega(x)$).

Окно имеет размер, равный 4 блокам, $m = 8, n = 16$.

На рис. 2 используются следующие обозначения: i_r – номер строки в паре блоков (номер кодового слова РС-кода), i_c – номер столбца в паре блоков (номер символа в кодовом слове РС-кода), p_block_b, p_block_f – указатели на декодируемые блоки. Указатели показывают на начало блоков, кодовые слова которых декодируются.

3. Ищутся корни многочлена $\Lambda(x)$.

Если число допустимых корней равно степени $\Lambda(x)$, то их обратные значения являются локаторами ошибок. В противном случае кодовое слово является не декодируемым.

4. Вычисляются значения ошибок по методу Форни или Хоригучи-Кеттера, получается полином ошибок $e(x)$.

5. Ошибочные символы исправляются.

Наиболее сложным является шаг 2, предусматривающий решение ключевого полиномиального уравнения $S(x) = \Lambda(x)\Omega(x) \bmod x^{d-1}$. Несколько методов решения ключевого уравнения рассмотрены в [14]. Однако приведенные в [14] алгоритмы не ориентированы на аппаратную реализацию.

В статье предлагается для решения ключевого уравнения использовать алгоритм ePIBMA (Enhanced Parallel Inversionless B-M Algorithm) [15, 16]. Псевдокод алгоритма приведен ниже.

Вход –полином синдрома $S(x)$ степени $2t - 1$.

1. Инициализация:

$$r = 0, \Theta(x) = S_0 + S_1x + \dots + S_{2t-2}x^{2t-2} + x^{2t},$$

$$\Omega(x) = S_0 + S_1x + \dots + S_{2t-2}x^{2t-2} + S_{2t-1}x^{2t-1} + x^{2t},$$

$$\gamma = 1, L_\Lambda = L_B = 0.$$

2. Вычисляем невязку

$$\Omega^{(r+1)}(x) = \gamma * [\zeta_1 \Omega^{(r)}(x) - \Omega^{(r)}(x) * \Theta^{(r)}(x)]$$

Если $(\Omega^{(r)}_0 \neq 0$ и $L_\Lambda \leq L_B)$, тогда

$$\Theta^{(r+1)}(x) = [\zeta_1 \Theta^{(r)}(x)] L_\Lambda = L_B + 1, L_B = L_\Lambda$$

$$\gamma = \Omega^{(r)}_0.$$

Иначе

Если $(L_B = t-1)$, тогда $\Theta^{(r+1)}(x) = [\zeta_1 \Theta^{(r)}(x)]$

Иначе $\Theta^{(r+1)}(x) = \Theta^{(r)}(x), L_B = L_B + 1$
 $\Theta^{(r+1)}_{2t-r-2} = 0.$

3. Меняем $r \leftarrow r + 1$. Если $r < 2t$, возвращаемся к шагу 2.

4. Возвращаем полином локаторов ошибок $\Lambda = [\Omega^{(2t)}_0, \Omega^{(2t)}_1, \dots, \Omega^{(2t)}_t]$ и вспомогательный полином $B = [\Theta^{(2t)}_0, \Theta^{(2t)}_1, \dots, \Theta^{(2t)}_{t-1}]$.

В данном алгоритме вычисление невязки и полиномиальные обновления выполняются одновременно. Благодаря этому достигается малое значение критического пути при его аппаратной реализации, тем самым обеспечивается высокое быстродействие.

Структурная схема декодера компонентного кода Рида-Соломона приведена на рис. 3.

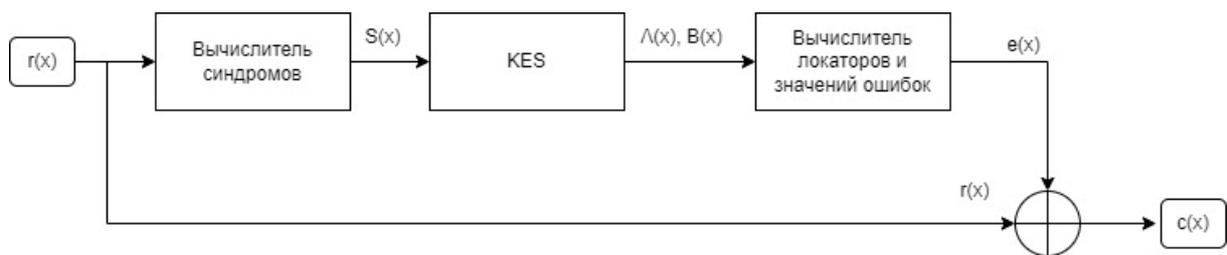


Рис. 3. Структурная схема декодера компонентного кода Рида-Соломона

Fig. 3. Block diagram of the decoder of component Reed-Solomon code

Блок KES (Key Equation Solver) отвечает за решение ключевого уравнения.

Результаты и их обсуждение

Качество коррекции ошибок для заданного Staircase-кода зависит от сле-

дующих параметров декодера: размера окна декодирования (win_size), задержки декодирования (lat) и числа полуитераций (hit_num).

Качество коррекции ошибок в зависимости от перечисленных параметров

исследовалось на программной модели. Структурная схема программной модели приведена на рис. 4.

Программная модель выполняет: генерацию данных, кодирование (кодер RSSC), внесение канального шума (используется АБГШ - Аддитивный белый Гауссовский шум или двоичные пакеты ошибок), декодирование (декодер RSSC) и сравнение исправленных блоков дан-

ных с исходными для вычисления $BIER$ (коэффициента блочных ошибок).

Оценки качества коррекции ошибок для staircase-кода с компонентными кодами Рида-Соломона (224,218,7) над полем $GF(2^8)$ с различными параметрами декодера в виде зависимости $BIER$ от Eb/No (отношения битовой энергии к спектральной плотности шума), полученные с помощью программной модели, приведены на рис. 5 - 7.



Рис. 4. Структурная схема программной модели

Fig. 4. Block diagram of program model

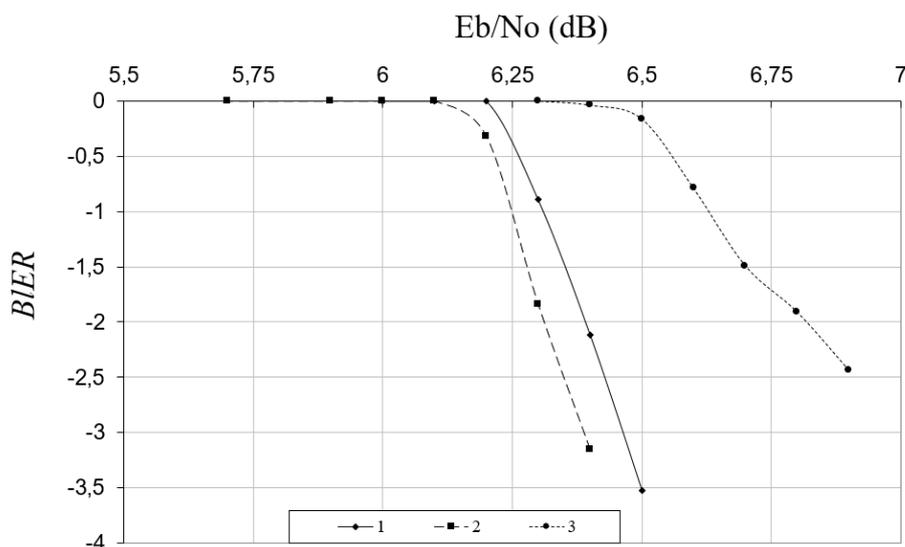


Рис. 5. Зависимость качества коррекции ошибок от числа полуитераций

Fig. 5. Performance for different halfiteration numbers

График зависимости качества коррекции ошибок от числа полуитераций (рис. 5) был построен для значений $win_size = 8$, $lat = 3$. Кривые, обозначенные цифрами 3, 1, 2, соответствуют числу полуитераций (hit_num), равному 1, 3, 5, соответственно.

График зависимости качества коррекции ошибок от задержки декодирования (рис. 6) был построен для значений $win_size = 8$, $hit_num = 3$. Кривые, обозначенные цифрами 1, 2, 3, соответствуют значению задержки (lat), равному 3, 6, 8, соответственно.

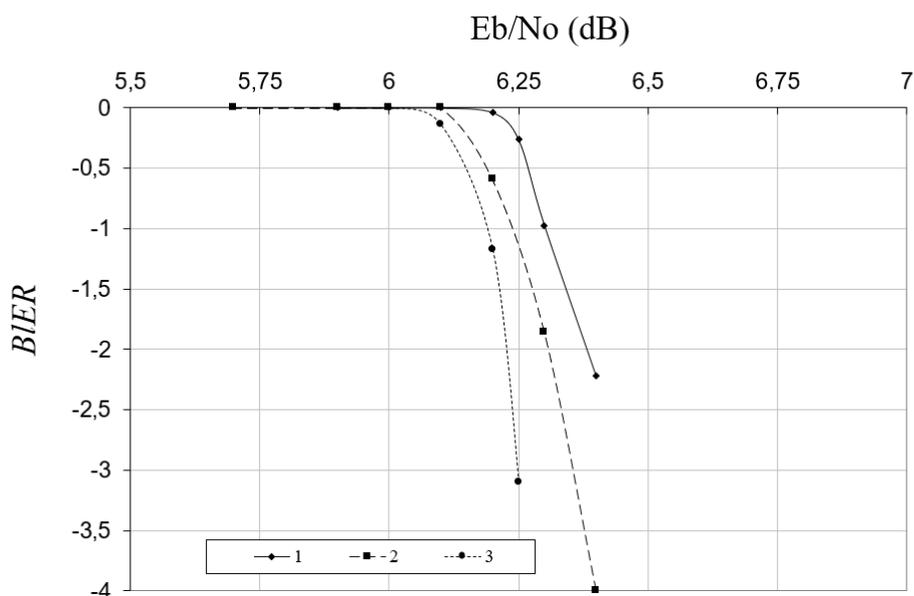


Рис. 6. Зависимость качества коррекции ошибок от задержки декодирования

Fig. 6. Performance for different decoding latencies

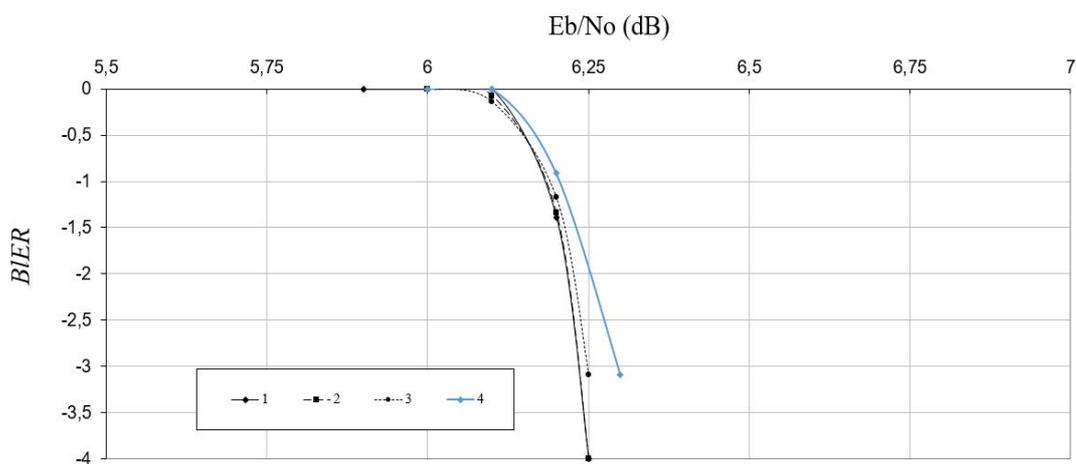


Рис. 7. Зависимость качества коррекции ошибок от размера окна

Fig. 7. Performance for different decoding windows

График зависимости качества коррекции ошибок от размера окна (рис. 7) был построен для значений $hit_num = 3$. Кривые, обозначенные цифрами 1, 2, 3, 4, соответствуют размеру окна (win_size), равному 12, 10, 8, 6, соответственно. При этом $lat = win_size$.

В результате исследования было установлено следующее. Число полуитераций $hit_num = 3$ будет оптимальным, так как дальнейшее увеличение числа полуитераций не дает существенного выигрыша корректирующей способности, а сложность декодирования увеличивается. Размер окна $win_size = 8$ будет оптимальным, так как дальнейшее увеличение размера не дает существенного выигрыша. Качество коррекции возрастает при приближении значения задержки к размеру окна. С учетом ограничений на задержку целесообразно выбрать ее значение равное 6, при этом корректирующая способность будет близка к максимальной.

Таким образом, для исследованного staircase-кода можно рекомендовать следующие параметры декодера: $hit_num = 3$, $win_size = 8$, $lat = 6$.

Эффективность staircase-кодов в каналах чтения ВЗУ ЭВМ исследовалась с помощью компьютерного моделирования. Для учета группирования ошибок, характерного для дисковых накопителей ВЗУ, в качестве модели канала использовался двоичный симметричный канал с памятью (ДСКП).

ДСКП описывался модифицированной моделью Беннета-Фройлиха [17], ко-

торая задавалась параметрами P_{be} и l_{av} (P_{be} – вероятность ошибки на бит, l_{av} – средняя длина пакета ошибок). Вместо l_{av} можно использовать параметр геометрического распределения g , связанный с l_{av} следующим отношением $l_{av} * (1 - g) = 1$.

Исследовался staircase-код с компонентными кодами Рида-Соломона (224, 210, 15), определенными на поле GF(28). При этом скорость этого staircase-кода равна $R = 0,87$, что соответствует скорости произведения кодов Рида-Соломона, используемого в оптических дисках DVD [18].

С использованием программной модели были получены зависимости $BIER$ на выходе RSSC-декодера от значения P_{be} для трёх различных значений параметра g . Результаты исследований приведены на рис. 8.

На графике цифры 1 - 3 соответствуют коррекции ошибок исследуемым staircase-кодом, цифры 4 - 6 – коррекции ошибок произведением кодов для DVD, причем цифры 1, 4 соответствуют значению $g = 0,2$, цифры 2, 5 – $g = 0,5$ и цифры 3, 6 – $g = 0,9$. Значения $BIER$ для произведения кодов взяты из работы [18].

Из рис. 8 видно, что при использовании кодовых конструкций с одной и той же скоростью исправляющая способность выше у staircase-кодом по сравнению с произведением кодов.

Из приведенного графика следует, что при увеличении средней длины пакета ошибок увеличивается и эффективность коррекции ошибок.

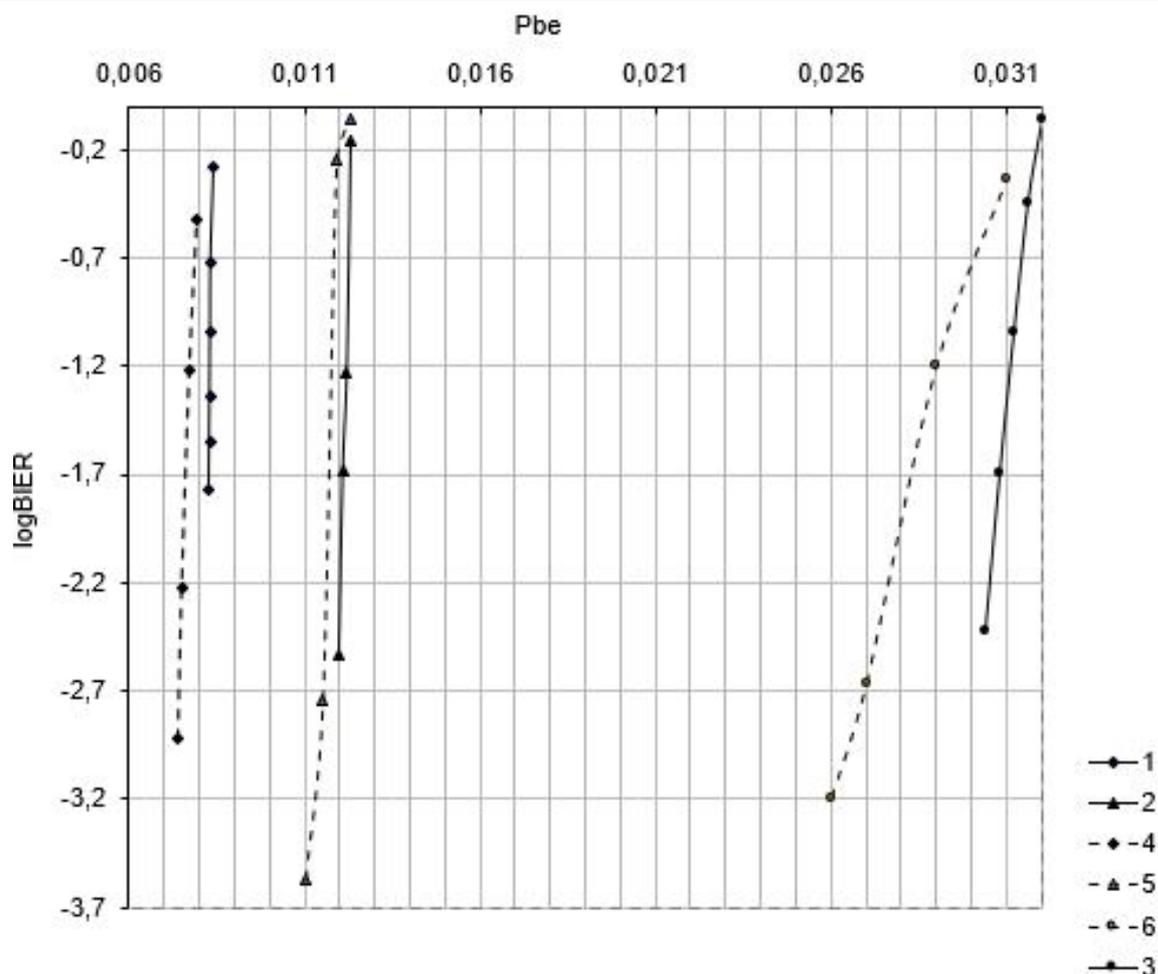


Рис. 8. Эффективность коррекции ошибок при различной степени их группирования

Fig. 8. Performance at different values of their grouping

Дальнейшее увеличение эффективности коррекции ошибок staircase-кодами с компонентными кодами Рида-Соломона возможно путем декодирования РС-кодов за границей половины минимального кодового расстояния [19, 20] или их мягкого декодирования¹ [21].

Выводы

В представленной работе предлагается для коррекции ошибок в ВЗУ ЭВМ

с секторной организацией использовать staircase-коды с компонентными кодами Рида-Соломона. Рассмотрено декодирование этих кодов с использованием алгоритма eРВМА. С помощью имитационного моделирования выбраны параметры декодера staircase-кода. Исследована эффективность коррекции ошибок в каналах с группированием ошибок. Результаты исследования показали более высокую эффективность staircase-кодов в каналах с группированием ошибок по сравнению с произведением кодов Рида-Соломона с такой же избыточностью.

¹ Патент N 2541869 Российская Федерация, МПК H03M 13/45. Устройство декодирования кодов Рида - Соломона / Егоров С.И., Графов О.Б. заявл. 10.10.2013; опубл. 20.02.2015, Бюл. №5.

Список литературы

1. Егоров С.И. Коррекция ошибок в информационных каналах периферийных устройств ЭВМ. Курск, 2008. 252 с.
2. Егоров С.И., Кривонос А.В., Титов В.С. Алгоритмы коррекции ошибок для оптических дисков DVD // Новые информационные технологии и системы: сб. науч. ст. XI Междунар. науч.-техн. конф. (г. Пенза, 25-27 ноября 2014 г.). Пенза: Изд-во ПГУ, 2014. С. 128-133.
3. Егоров С.И., Кривонос А.В. Устройство коррекции ошибок для оптической памяти массового применения // Известия Юго-Западного государственного университета. 2017. Т. 21, № 6(75). С. 22-31.
4. Егоров С.И., Егорова М.С. Применение пикет-кодов в каналах передачи и воспроизведения информации // Телекоммуникации. 2023. №4. С. 9-15.
5. Smith B.P., Farhood A., Hunt A., Kschischang F.R, Lodge J. Staircase Codes: FEC for 100 Gb/s OTN // Journal of Lightwave Technology. 2012. Vol. 30, no. 1. P. 110–117.
6. Zhang L.M., Kschischang F.R. Staircase Codes With 6% to 33% Overhead // Journal of Lightwave Technology. 2014. Vol. 32, no. 10. P.1999–2002.
7. Y. Cai Y., et al. Fpga investigation on error-flare performance of a concatenated staircase and hamming fec code for 400g interdata center interconnect // Journal of Lightwave Technology. 2019. Vol. 37, no. 1. P. 188-195.
8. Zhang L., Kschischang F. R. Low-complexity soft-decision concatenated ldgm-staircase fec for high-bit-rate _fiber-optic communication // Journal of Lightwave Technology. 2017. Vol. 35, no. 9. P. 3991-3999.
9. Barakatain M., Kschischang F. R. Low-complexity concatenated ldpc-staircase codes // Journal of Lightwave Technology. 2018. Vol. 36, no. 6. P. 2443-2449.
10. Киряев Ю.С. Коррекция ошибок недвоичными staircase-кодами // Современные проблемы информатизации в анализе и синтезе технологических и программно-телекоммуникационных систем: материалы 27-ой открытой международной науч. конф. Yelm, WA, USA: Science Book Publishing House, 2022. С. 219-125.
11. Блейхут Р. Теория и практика кодов, контролирующих ошибки. М.: Мир, 1986. С. 576.
12. Hu G., Sha J., Wang Z. Beyond 100Gbps encoder design for staircase codes // IEEE Workshop on Signal Processing Systemsю SiPS: Design and Implementation, 2016. P. 154-157.
13. Fougstedt C., Larsson-Edefors P. Energy-efficient high-throughput staircase decoders // Optical Fiber Communications Conference and Exposition (OFC). 2018. P. 1-3.
14. Рацеев С.М., Череватенко О.И. Об алгоритмах декодирования обобщенных кодов Рида-Соломона // Вестник Самарского университета. Естественная серия. 2020. Т. 26, № 3. С. 17–29. <http://doi.org/10.18287/2541-7525-2020-26-3-17-29>.

15. Wu Yingquan. New Scalable Decoder Architectures for Reed-Solomon Codes // IEEE Transactions on communications. 2015. No. 8. P.2741-2761.

16. Локтионов Е.И., Егоров С.И. Декодер кода Рида-Соломона для сети Ethernet по стандарту IEEE802.3-2018 // Опτικο-электронные приборы и устройства в системах распознавания образов, обраб. изображ. и символьной информ.: материалы 17-ой международной науч.-техн. конф. Курск: Юго-Западный гос. ун-т, 2023. С.149-151.

17. Типикин А.П., Петров В.В., Бабанин А.Г. Коррекция ошибок в оптических накопителях информации. Киев: Наукова думка, 1990. 169 с.

18. Егоров С.И., Кривонос А.В., Титов В.С. Декодирование произведений кодов Рида-Соломона в каналах с группированием ошибок // Телекоммуникации. 2018. № 11. С.15-22.

19. Egorov S., Markarian G. Error Correction Beyond the Conventional Error Bound for Reed-Solomon Codes // Journal of Electrical Engineering. 2003. No. 11-12. P. 305-310.

20. Егоров С.И. Алгоритм декодирования кодов Рида-Соломона, исправляющий вплоть до $n-k$ ошибок в кодовом слове // Труды РНТОРЭС им. А.С.Попова. Серия: Цифровая обработка сигналов и ее применение. Вып. XI-1. М., 2009. С. 27-30.

21. Графов О.Б., Егоров С.И., Титов В.С. Мягкое декодирование кодов Рида Соломона // Известия Юго-Западного государственного университета. Серия: Управление, вычислительная техника, информатика. Медицинское приборостроение. 2012. №2, ч.1. С.17 – 23.

References

1. Egorov S.I. Error correction for information channel of computer external devices. Kursk, 2008. 252 p. (In Russ.).

2. Egorov S.I., Krivonos A.V., Titov V.S. Error correction algorithms for optical discs DVD. In: *Novye informatsionnye tekhnologii i sistemy: sb. nauch. st. XI Mezhdunar. nauch.-tekhn. konf. = New information technologies and systems: Proceedings of the XI International science conference*. Penza: Izd-vo PGU; 2014, pp. 128-133. (In Russ.).

3. Egorov S. I., Krivonos A. V. Error Correction Device for Optical Memory of Mass Application. *Izvestiya Yugo-Zapadnogo gosudarstvennogo universiteta = Proceedings of the Southwest State University*. 2017; 21 (6): 22-31 (In Russ.).

4. Egorov S.I., Egorova M.S. Application of Picket Codes in Channels for Transmission and Reproduction of Information. *Telekommunikatsii = Telecommunications*. 2023; (4):9-15. (In Russ.)

5. Smith B.P., Farhood A., Hunt A., Kschischang F.R, Lodge J. Staircase Codes: FEC for 100 Gb/s OTN. *Journal of Lightwave Technology*. 2012; 30 (1): 110–117.

6. Zhang L.M., Kschischang F.R. Staircase Codes With 6% to 33% Overhead. *Journal of Lightwave Technology*. 2014; 32 (10): 1999–2002.

7. Cai Y. Y., et al. Fpga investigation on error-flare performance of a concatenated staircase and hamming fec code for 400g interdata center interconnect. *Journal of Lightwave Technology*. 2019; 37 (1): 188-195.
8. Zhang L., Kschischang F. R. Low-complexity soft-decision concatenated ldgm-staircase fec for high-bit-rate _fiber-optic communication. *Journal of Lightwave Technology*. 2017; 35 (9): 3991-3999.
9. Barakatain M., Kschischang F. R. Low-complexity concatenated ldpc-staircase codes. *Journal of Lightwave Technology*. 2018; 36 (6): 2443-2449.
10. Kiryaev Y.S. Error correction by nonbinary staircase-codes. In: *Sovremennye problemy informatizatsii v analize i sinteze tekhnologicheskikh i programmno-telekommunikatsionnykh sistem: Materialy 27 otkrytaya mezhdunarodnaya nauch. konf = Modern problems of informatization in the analysis and synthesis of technological and software-telecommunication systems: Proceedings of the 27 open international science conference*. Yelm, WA, USA: Science Book Publishing House; 2022. P. 219-125. (In Russ.)
11. Blahut R. Theory and practice of error control codes. Moscow: Mir; 1986. 576 p. (In Russ.)
12. Hu G., Sha J., Wang Z. Beyond 100Gbps encoder design for staircase codes. *IEEE Workshop on Signal Processing Systems. SiPS: Design and Implementation*; 2016. P. 154-157.
13. Fougstedt C., Larsson-Edefors P. Energy-efficient high-throughput staircase decoders. *Optical Fiber Communications Conference and Exposition (OFC)*, 2018. P. 1-3.
14. Ratseev S.M., Cherevatenko O.I. On decoding algorithms for generalized Reed-Solomon codes with errors and erasures. *Vestnik Samarskogo universiteta. Estestvennonauchnaia seriia = Vestnik of Samara University. Natural Science Series*. 2020; 26 (3): 17–29. <http://doi.org/10.18287/2541-7525-2020-26-3-17-29>. (In Russ.).
15. Wu Yingquan. New Scalable Decoder Architectures for Reed-Solomon Codes. *IEEE Transactions on Communications*. 2015; (8): 2741-2761.
16. Loktionov E.I., Egorov S.I. Reed-Solomon decoder for Ethernet of standard IEEE802.3-2018. In: *Optiko-elektronnye pribory i ustroistva v siste-makh raspoznavaniya obrazov, obrab. izobrazh. i simvol'noi inform.: Materialy 17-aya mezhdunarodnaya nauch.-tekhn konf. = Optical-electronic instruments and devices in systems for pattern recognition, image and symbolic information processing: Proceedings of the 17 international science conference*. Kursk: Southwest State University; 2023. P.149-151. (In Russ.).
17. Tipikin A.P., Petrov V.V., Babanin A.G. Error correction for optical storage. Kiev: Naukova dumka; 1990. 169 p. (In Russ.).
18. Egorov S.I., Krivonos A.V., Titov V.S. Reed-Solomon Product Code Decoding for the Burst Error Channel. *Telekommunikatsii = Telecommunications*, 2018; (11):15-22. (In Russ.).

19. Egorov S., Markarian G. Error Correction Beyond the Conventional Error Bound for Reed-Solomon Codes. *Journal of Electrical Engineering*. 2003; (11-12):305-310.

20. Egorov S.I. Reed-Solomon decoding algorithm correcting up to $n-k$ errors into codeword. In: *Trudy RNTORES im. A.S.Popova. Seriya: Tsifrovaya obrabotka signalov i ee primeneniye. Is. XI-1 = Proceedings of the RNTORES named after. A.S.Popova. Series: Digital system processing and application. Is. XI-1*. Moscow, 2009. P. 27-30. (In Russ.).

21. Grafov O.B., Egorov S.I., Titov V.S. Soft decoding of Reed-Solomon codes. *Izvestiya Yugo-Zapadnogo gosudarstvennogo universiteta. Seriya: Upravlenie, vychislitel'naya tekhnika, informatika. Meditsinskoe priborostroeniye = Proceedings of the Southwest State University. Series: Control, Computing Engineering, Information Science. Medical Instruments Engineering*, 2012; (2-1): 17 – 23. (In Russ.).

Информация об авторах / Information about the Authors

Егоров Сергей Иванович, доктор технических наук, доцент, профессор кафедры вычислительной техники, Юго-Западный государственный университет, г. Курск, Российская Федерация, e-mail: sie58@mail.ru

Sergey I. Egorov, Dr. of Sci. (Engineering), Associate Professor, Professor of the Computer Engineering Department, Southwest State University, Kursk, Russian Federation, e-mail: sie58@mail.ru

Киряев Юрий Сергеевич, аспирант, Юго-Западный государственный университет, г. Курск, Российская Федерация, e-mail: kiryaev.yury@yandex.ru

Yuriy S. Kiryaev, Post-Graduate Student, Southwest State University, Kursk, Russian Federation, e-mail: yury@yandex.ru

Локтионов Евгений Игоревич, аспирант, Юго-Западный государственный университет, г. Курск, Российская Федерация, e-mail: zh.loktionov@yandex.ru

Evgeniy I. Loktionov, Post-Graduate Student, Southwest State University, Kursk, Russian Federation, e-mail: zh.loktionov@yandex.ru

Титов Виталий Семенович, доктор технических наук, профессор, профессор кафедры вычислительной техники, Юго-Западный государственный университет, г. Курск, Российская Федерация, e-mail: tas_06@mail.ru

Vitaliy S. Titov, Dr. of Sci. (Engineering), Professor, Professor of the Computer Engineering Department, Southwest State University, Kursk, Russian Federation, e-mail: tas_06@mail.ru